



SMARTSENS

SmartSens™

SC130GS 数据手册

V2.5

2019.10.23

SmartSens Confidential NDA only

应用

- 机器视觉
- 条码扫描
- 汽车电子
- 安防监控系统
- 高速摄影系统

特性

- 全局曝光
- 支持高动态输出
- 支持外部控制曝光及多 sensor 同步
- 自动曝光/增益控制，支持小于一行曝光
- 支持帧间闪烁消除
- 水平/垂直窗口调整
- 6x 模拟增益，8x 数字增益
- 内置温度传感器
- 高光敏感度
- SPI/I2C 接口寄存器编程
- 低功耗 (Max: 340mW)

关键指标 (典型值)

- 分辨率: 130 万
- 有效像素阵列: 1288H x 1032V
- 像素尺寸: 4.0 μ m x 4.0 μ m BSI
- 镜头光学尺寸: 1/2.7"(6.56mm)

- 最大图像传输速率:
 - 1280H x 1024V @240fps
 - 1280H x 1024V @1lane@60fps
- 输出接口:
 - 10/8-bit DVP 并行接口
 - 10/8-bit 4/2/1 lane MIPI
 - 10/8-bit 4/2/1 lane LVDS
- 输出格式: MONO/RAW/RGB
- CRA: 0°
- 灵敏度: 8000mV/lux · s
- 满阱电荷: 8000e-
- 动态范围:
 - 普通模式: 60 dB
 - HDR 模式: 100 dB
- 信噪比: 40 dB
- 工作温度范围: -40° C~+85° C
- 最佳工作温度范围: -20° C~+60° C
- 电源电压:
 - AVDD = 3.3V
 - DVDD = 1.5V
 - DOVDD = 1.8V~3.3V (为了更好的性能, 推荐使用 1.8V)
- 封装信息:
 - 64-pin CLCC
 - 13mm x 13mm

目录

目录.....	3
图片索引	5
表格索引	6
1. 芯片简述	7
1.1. 芯片概述	7
1.2. 系统框架	7
1.3. 引脚描述	8
1.4. 芯片初始化	11
1.4.1. 上电时序.....	11
1.4.2. 睡眠模式.....	11
1.4.3. 复位模式.....	12
1.5. 配置接口	12
1.5.1. SPI.....	12
1.5.2. I ² C	14
1.6. 数据接口	15
1.6.1. DVP.....	15
1.6.2. MIPI	16
1.6.3. LVDS.....	20
1.7. 锁相环	25
2. 功能介绍	26
2.1. 外触发全局曝光模式	26
2.2. AEC/AGC.....	28
2.2.1. AEC/AGC 的控制策略.....	28
2.2.2. AEC/AGC 自动控制方法.....	29
2.2.3. AEC/AGC 手动控制方法.....	29
2.2.4. YAVG (图像的亮度均值的统计)	36
2.3. 黑电平控制(BLC)	37
2.4. 行噪声消除(RNC)	38
2.5. 输出黑电平值控制	38
2.6. 视频输出模式	39
2.6.1. 读取顺序.....	39
2.6.2. 输出窗口.....	40
2.7. 帧率计算	41
2.7.1. 非外触发全局曝光模式.....	41
2.7.2. 外触发全局曝光模式.....	41
2.8. 测试模式	42
3. 电气特性	43
4. 光学特性	45
5. 封装信息	46

6. 订购信息	47
7. 版本变更记录.....	48

图片索引

图 1-1 SC130GS 结构图	7
图 1-2 典型应用示意图	8
图 1-3 引脚图	10
图 1-4 上电时序图	11
图 1-5 SPI 读写时序（默认设置）	13
图 1-6 SPI 读时序模式 2（CPOL=0，CPHA=0）	13
图 1-7 I ² C 接口时序	14
图 1-8 DVP 时序	15
图 1-9 MIPI 接口示意图	16
图 1-10 MIPI 底层数据包示意图	17
图 1-11 MIPI 长/短数据包结构示意图	17
图 1-12 MIPI 数据包 DI 结构	18
图 1-13 LVDS 接口示意图	20
图 1-14 LVDS Mode A 数据结构示意图（10bit/1 lane 为例）	21
图 1-15 2 个 data lane 有效时并行数据包示意图	22
图 1-16 4 个 data lane 有效并行数据包示意图	22
图 1-17 sync lane DD 编码示意图	23
图 1-18 PLL 控制示意图	25
图 2-1 外部触发全局 Master Mode 模式时序图	26
图 2-2 外部触发全局 Slave Mode 模式时序图	27
图 2-5 像素阵列图一	39
图 2-6 镜像和倒置实例	39
图 2-7 镜像和倒置实例	40
图 2-8 视频有效输出示意图	41
图 2-9 测试模式	42
图 4-1 SC130GS 光谱曲线	45
图 5-1 封装示意图(单位 mm)	46

表格索引

表 1-1 SC130GS 引脚描述	8
表 1-2 睡眠模式控制寄存器	11
表 1-3 软复位控制寄存器	12
表 1-4 SPI 总线信号线.....	12
表 1-5 SPI 接口时序详细参数.....	13
表 1-6 I ² C 接口时序详细参数	15
表 1-7 DVP 同步调整寄存器.....	16
表 1-8 MIPI 数据类型.....	18
表 1-9 MIPI 同步调整寄存器	19
表 1-10 LVDS Mode A 8bit 数据同步信息编码示意表.....	21
表 1-11 LVDS Mode A 10bit 数据同步信息编码示意表.....	21
表 1-12 LVDS Mode B 数据结构示意表	22
表 1-13 LVDS sync lane 10bit 数据同步信息编码示意表.....	23
表 1-14 LVDS sync lane 8bit 数据同步信息编码示意表.....	23
表 1-15 LVDS sync lane dummy data 信息编码示意表.....	23
表 1-16 LVDS 调整相关寄存器.....	23
表 2-1 外部触发全局曝光控制寄存器.....	27
表 2-2 AEC/AGC 手动/自动切换控制寄存器	29
表 2-3 AEC/AGC 自动控制寄存器.....	29
表 2-4 AEC 手动控制寄存器	29
表 2-5 增益控制寄存器	30
表 2-6 YAVG 控制寄存器	36
表 2-7 BLC 控制寄存器.....	37
表 2-8 RNC 控制寄存器.....	38
表 2-9 镜像和倒置模式控制寄存器.....	40
表 2-10 输出窗口寄存器	40
表 2-11 帧率相关寄存器	41
表 2-12 测试模式控制寄存器	42
表 3-1 绝对最大额定值	43
表 3-2 直流电气特性 (AVDD=3.3V, DOVDD=1.8V MIPI 下测试)	43
表 3-3 交流特性 (TA=25°C, AVDD=3.3V, DOVDD=1.8V)	44
表 6-1 订购信息表	47

1. 芯片简述

1.1. 芯片概述

SC130GS 是一款 Global shutter CMOS 图像传感器，最高支持 1280H x 1024V @ 240fps 的传输速率。SC130GS 输出黑白 RAW/RGB 图像，有效像素窗口为 1288H x 1032V，支持复杂的片上操作——例如 HDR 模式、支持外触发全局曝光模式、窗口化、水平或垂直镜像化等。

SC130GS 可以通过标准的 SPI 及 I2C 接口进行配置。

SC130GS 可以通过 Trigger0 引脚实现外部控制曝光。

1.2. 系统框架

图 1-1 展示了 SC130GS 图像传感器的功能模块图。图 1-2 展示了一个典型的应用示例。

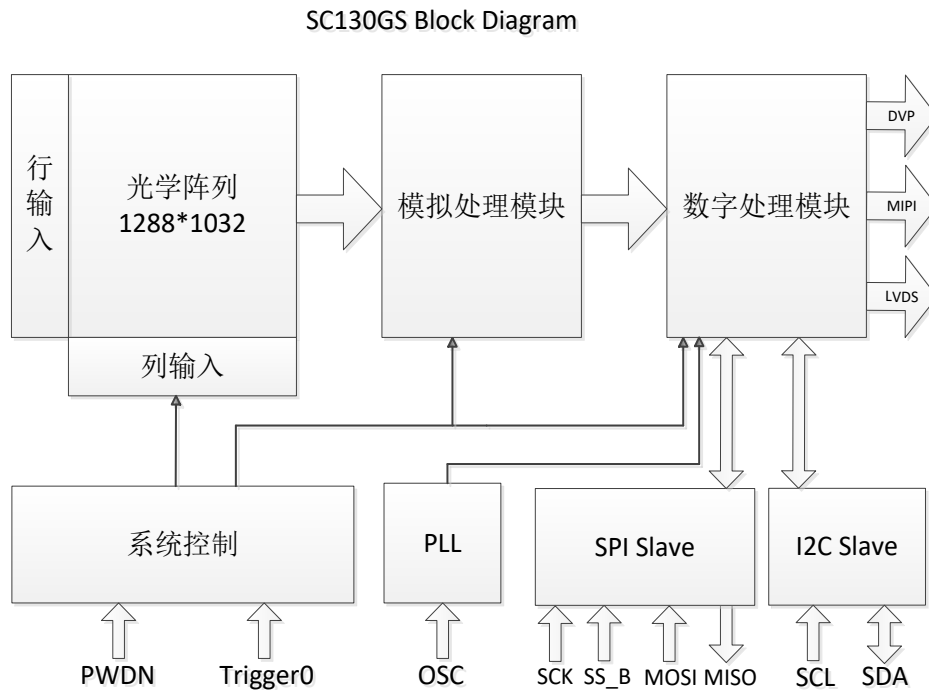


图 1-1 SC130GS 结构图

SC130GS 支持 LVDS 接口、MIPI 接口、DVP 接口，以 MIPI 接口为例：

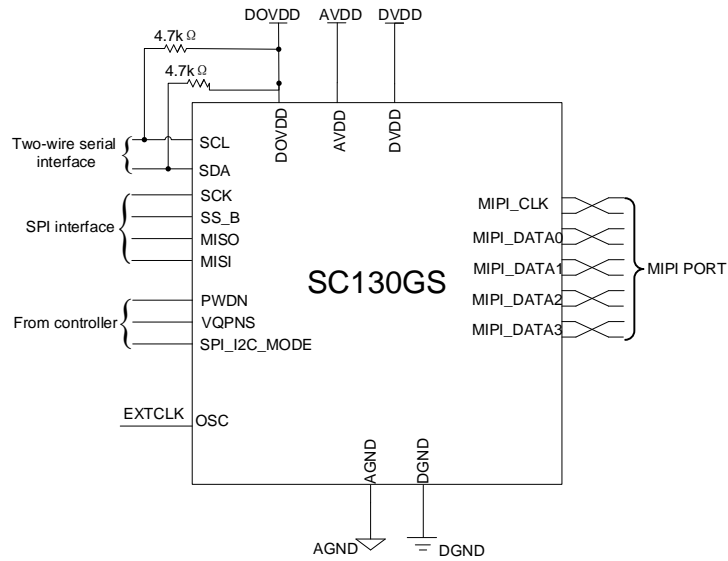


图 1-2 典型应用示意图

1.3. 引脚描述

表 1-1 列出了 SC130GS 图像传感器的引脚描述。

表 1-1 SC130GS 引脚描述

编号	信号名	引脚类型	描述
1	DVDD	电源	1.5V 数字电源
2	DGND	地线	数字地
3	AGND	地线	模拟地
4	AVDD	电源	3.3V 模拟电源
5	DGND	地线	数字地
6	DVDD	电源	1.5V 数字电源
7	DOVDD	电源	1.8V~3.3V IO 电源（为更好的性能，推荐用 1.8V）
8	D9/D0_N	输出	DVP 输出 bit[9]/MIPI 或 LVDS 0 通道（负端）
9	D8/D0_P	输出	DVP 输出 bit[8]/MIPI 或 LVDS 0 通道（正端）
10	D7/D1_N	输出	DVP 输出 bit[7]/MIPI 或 LVDS 1 通道（负端）
11	D6/D1_P	输出	DVP 输出 bit[6]/MIPI 或 LVDS 1 通道（正端）
12	D5/C_N	输出	DVP 输出 bit[5]/MIPI 或 LVDS 时钟通道（负端）
13	D4/C_P	输出	DVP 输出 bit[4]/MIPI 或 LVDS 时钟通道（正端）
14	DGND	地线	数字地
15	D3/SYNC_N	输出	DVP 输出 bit[3]/LVDS 同步通道（负端）
16	D2/SYNC_P	输出	DVP 输出 bit[2]/LVDS 同步通道（正端）
17	D1/D2_N	输出	DVP 输出 bit[1]/MIPI 或 LVDS 2 通道（负端）
18	D0/D2_P	输出	DVP 输出 bit[0]/MIPI 或 LVDS 2 通道（正端）
19	FSYNC/D3_N	输出	DVP 帧同步/MIPI 或 LVDS 3 通道（负端）

编号	信号名	引脚类型	描述
20	LREF/D3_P	输出	DVP 行同步/MIPI 或 LVDS 3 通道 (正端)
21	DOVDD	电源	1.8V~3.3V IO 电源 (为更好的性能, 推荐用 1.8V)
22	DVDD	电源	1.5V 数字电源
23	DGND	地线	数字地
24	DVDD	电源	1.5V 数字电源
25	VQPNS	输入	OTP 烧录电压控制管脚。使用 4.7K 电阻下拉至 DGND。
26	AVDD	电源	3.3V 模拟电源
27	PIXCLK	输出	DVP 时钟
28	DVDD	电源	1.5V 数字电源
29	OSC	输入	时钟输入
30	DGND	地线	数字地
31	DVDD	电源	1.5V 数字电源
32	SS_B	输入	SPI 片选信号(低有效)
33	SDA	输入/输出	I2C 数据线(open drain)
34	SCL	输入	I2C 时钟线
35	SCK	输入	SPI 时钟输入
36	MISO	输出	SPI 数据输出
37	MOSI	输入	SPI 数据输入
38	AVDD	电源	3.3V 模拟电源
39	AGND	地线	模拟地
40	VREFN2	输出	内部参考电压(外接电容至 AGND)
41	VREFN1	输出	内部参考电压(外接电容至 AGND)
42	VREFN	输出	内部参考电压(外接电容至 AGND)
43	VREFH	输出	内部参考电压(外接电容至 AGND)
44	PIXVDD	电源	3.3V Pixel 电源
45	AVDD	电源	3.3V 模拟电源
46	AGND	地线	模拟地
47	ATM	NC	--
48	PIXVDD	电源	3.3V Pixel 电源
49	AGND	地线	模拟地
50	PIXVDD	电源	3.3V Pixel 电源
51	AGND	地线	模拟地
52	AVDD	电源	3.3V 模拟电源
53	PIXVDD	电源	3.3V Pixel 电源
54	VREFH	输出	内部参考电压(外接电容至 AGND)
55	VREFN	输出	内部参考电压(外接电容至 AGND)
56	VREFN1	输出	内部参考电压(外接电容至 AGND)
57	VREFN2	输出	内部参考电压(外接电容至 AGND)
58	AGND	地线	模拟地
59	AVDD	电源	3.3V 模拟电源

编号	信号名	引脚类型	描述
60	PWDN	输入	Power Down 信号输入（内置下拉电阻，高电位有效）
61	SPI_I2C_MODE	输入	配置模式选择（需外部控制，拉高是 SPI，拉低 I ² C）
62	Trigger0	输入	触发信号 0，外部曝光控制
63	Trigger1	输入	触发信号 1，外部 HDR 拐点控制
64	SID	输入	I ² C 地址配置，内置下拉电阻。

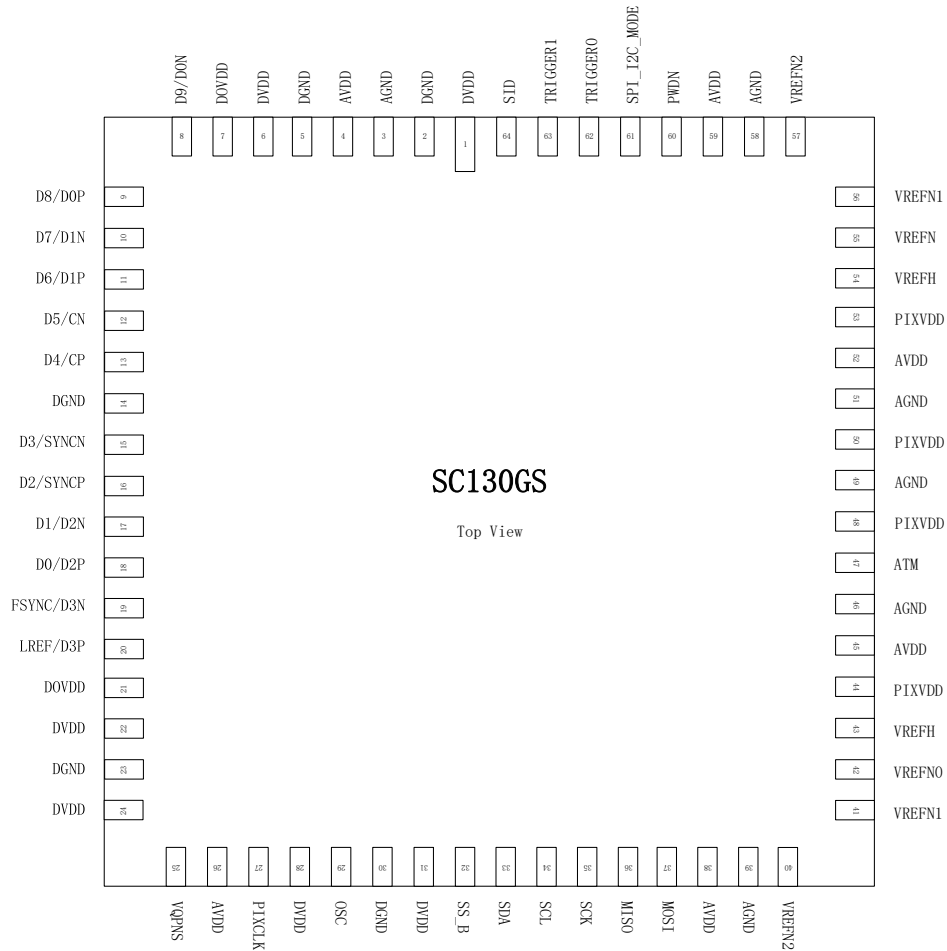


图 1-3 引脚图

1.4. 芯片初始化

1.4.1. 上电时序

DVDD 外部供电 1.5V，上电时序要求如下：

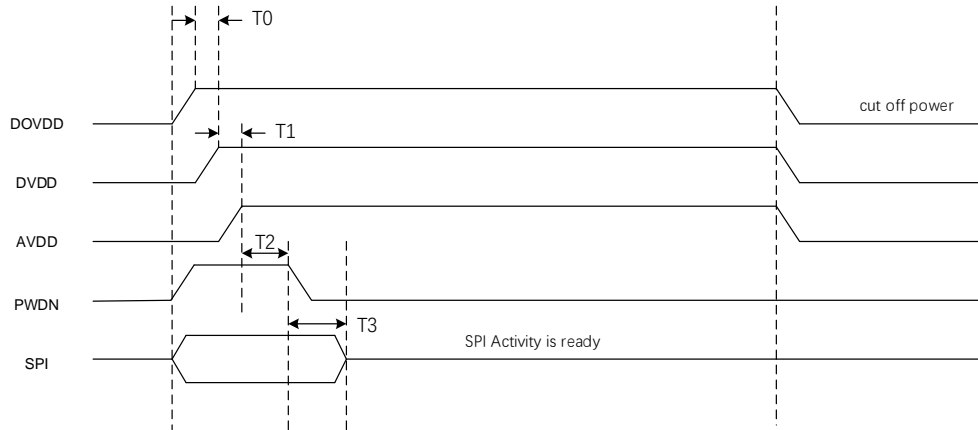


图 1-4 上电时序图

注

- 1) PWDN 由主控芯片控制，在上电期间，保证 PWDN 为高电平。
- 2) $T0 \geq 0\text{ms}$, $T1 \geq 1\text{ms}$, $T2 \geq 1\text{ms}$, $T3 \geq 1\text{ms}$ 。

1.4.2. 睡眠模式

在睡眠模式下，SPI/I2C 时钟依旧保持工作。SC130GS 提供两种方式进入睡眠模式：

- 1) 将 PWDN 拉高，此时不能访问寄存器。
- 2) 将寄存器 16'h0100[0]写入 0，此时仍然可以访问传感器的寄存器。

表 1-2 睡眠模式控制寄存器

地址	寄存器名	默认值	读/写	描述
16'h0100	Manual sleep mode	'b0	R/W	Bit[0]: manual stream enable 0: sleep enable 1: sleep disable

1.4.3. 复位模式

在复位模式下，SC130GS 所有寄存器都重置为默认值； SC130GS 通过将寄存器 16'h0103 的 Bit[0] 设置为 1 进入复位模式。

表 1-3 软复位控制寄存器

地址	寄存器名	默认值	读/写	描述
16'h0103	Rst_pon	'b0	W	Bit[0]: soft reset

1.5. 配置接口

SC130GS 支持 SPI 或 I2C 通信，SPI/I2C 通讯控制选择由 SPI_I2C_MODE pad 控制。SPI_I2C_MODE pad 接高电平时，SC130GS 支持 SPI 通信；SPI_I2C_MODE pad 接低电平时，SC130GS 支持 I2C 通信。

1.5.1. SPI

SC130GS 提供标准的 SPI 总线配置接口对寄存器进行读写，包括四条信号线，如表 1-4 所示。

表 1-4 SPI 总线信号线

信号线	描述
sck	串行时钟
ss_b	片选有效
mosi	主机输出，从机数据输入
miso	主机输入，从机数据输出

SC130GS 的消息类型为 16 位地址、1 位读写判断位、8 位数据，详见图 1-5 所示，图中 miso 信号线灰色时，代表高阻状态。此外，图中的红箭头、绿箭头对应读、写数据采集点。具体时序如下：

- 1) 当主机对 SC130GS 进行地址读取前，需先拉低片选信号 ss_b。隔一个 sck 时钟周期后，主机开始传送 16 位地址数据（MSB first）及 1 位读、写判断位，此时数据在时钟上升沿被采样（即写地址、读写判断操作时 CPOL=0，CPHA=0）。
- 2) 当主机对 SC130GS 进行写数据操作时，数据在时钟上升沿被采样（即写数据操作时 CPOL=0，CPHA=0）。
- 3) 当主机对 SC130GS 进行读数据操作时，数据在时钟下降沿被采样（即读数据操作时 CPOL=0，CPHA=1）。若寄存器 0x3101 的 bit[4] 从默认值 0 写成 1，切换至 SPI 读数据模式 2 状态，数据在时钟上升沿被采样（即读数据操作时 CPOL=0，CPHA=0），如图 1-6 所示。
- 4) 当主机完成对 SC130GS 数据读、写操作后，隔一个 sck 时钟周期，片选信号 ss_b 拉高。

- 5) SPI 的最大读、写速率受限于 SC130GS 的配置，要达到较高的读、写速率，一般需要外接 OSC。其余详细时序参数见图 1-6。

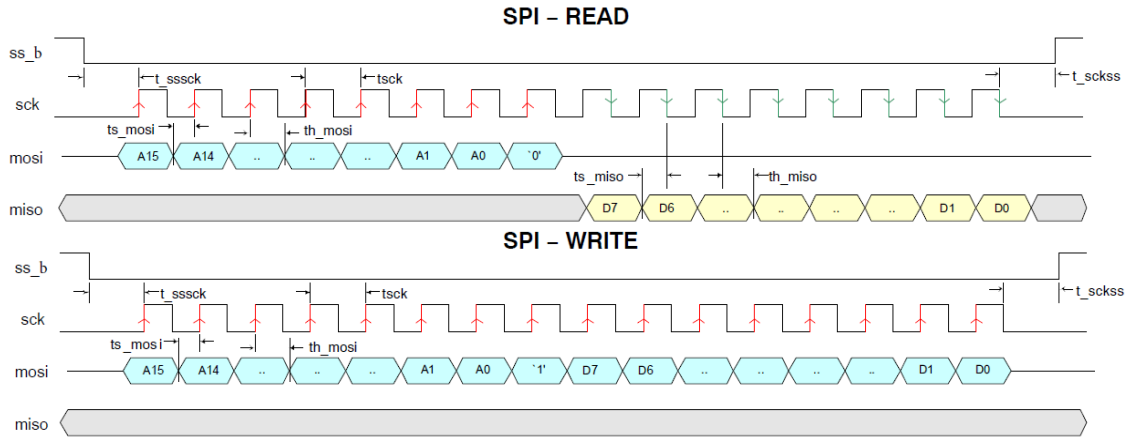


图 1-5 SPI 读写时序（默认设置）

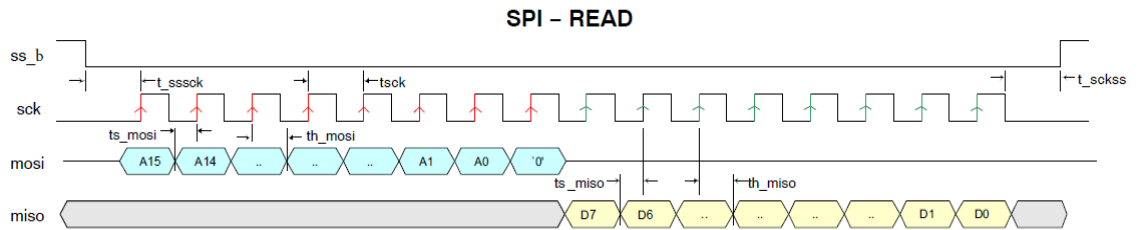


图 1-6 SPI 读时序模式 2 (CPOL=0, CPHA=0)

表 1-5 SPI 接口时序详细参数

符号	参数	典型值	单位
t _{sck}	时钟周期	100(*)	ns
t _{ssck}	ss_b 低电平到 sck 上升沿时间	tsck	ns
t _{sckss}	ss_b 高电平到 sck 下降沿时间	tsck	ns
t _{s_mosi}	mosi 需要的建立时间	20	ns
t _{h_mosi}	mosi 需要的保持时间	20	ns
t _{s_miso}	miso 需要的建立时间	tsck/2-10	ns
t _{h_miso}	miso 需要的保持时间	tsck/2-10	ns
t _{spi}	两次 SPI 连续读写最小间隔时间（图未显示）	tsck*2	ns

注：*此处 100ns 为假定值，SPI 最快读写频率受限于芯片配置（如工作模式，输入时钟等因素）

1.5.2. I²C

SC130GS 还提供标准的 I²C 总线配置接口对寄存器进行读写，其设备地址由 SID 信号的电平值决定。如果 SID 信号为低电平，则 I²C 的地址为 7'h30，如果 SID 信号为高电平，则 I²C 的地址为 7'h32。

消息类型：16-bit 地址、8-bit 数据和 7-bit 设备地址

S	Slave Address	R/W	A	Sub Address[15:8]	A	Sub Address[7:0]	A	data	A/ \bar{A}	P
---	---------------	-----	---	-------------------	---	------------------	---	------	--------------	---

I²C 读操作

S	Slave Address	0	A	Sub Address[15:8]	A	Sub Address[7:0]	A	Sr	Slave address	1	A	data	\bar{A}	P
---	---------------	---	---	-------------------	---	------------------	---	----	---------------	---	---	------	-----------	---

I²C 写操作

S	Slave Address	0	A	Sub Address[15:8]	A	Sub Address[7:0]	A	data	A/ \bar{A}	P
---	---------------	---	---	-------------------	---	------------------	---	------	--------------	---

- 从机到主机 S: 起始条件 A: 答复
- 主机到从机 P: 终止条件 \bar{A} : 拒绝答复
- 方向取决于具体操作 Sr: 重复起始条件

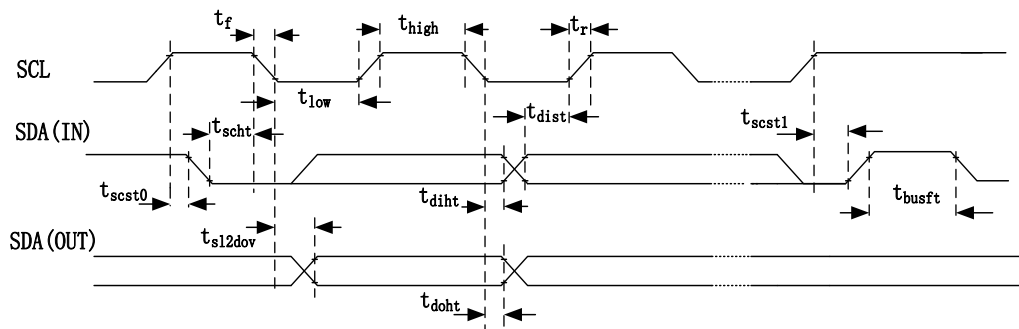


图 1-7 I²C 接口时序

注:

- 1) 图 1-7 是在 400kHz 模式下的 I²C 时序。
- 2) 判断上升沿起始或下降沿终止的电平阈值为 10%；判断上升沿终止或下降沿起始的阈值为 90%。

表 1-6 I²C 接口时序详细参数

符号	参数	最小值	典型值	最大值	单位
f _{I2C}	时钟频率	—	—	400	kHz
t _{low}	时钟低电平时间	1.3	—	—	μs
t _{high}	时钟高电平时间	0.6	—	—	μs
t _{sl2dov}	SCL 拉低至输出数据有效间时间间隔	0.1	—	0.9	μs
t _{busft}	下一个起始状态前总线空闲时间	1.3	—	—	μs
t _{scst0}	起始条件保持时间	0.6	—	—	μs
t _{scst}	起始条件建立时间	0.6	—	—	μs
t _{dih}	输入数据保持时间	0	—	—	μs
t _{dist}	输入数据建立时间	0.1	—	—	μs
t _{scst1}	终止条件建立时间	0.6	—	—	μs
t _r	上升时间	—	—	0.3	μs
t _f	下降时间	—	—	0.3	μs
t _{doht}	输出数据保持时间	0.05	—	—	μs

1.6. 数据接口

SC130GS 提供三种数据接口：DVP、MIPI、LVDS。

1.6.1. DVP

SC130GS 支持并行视频端口（DVP），输出 10-bit 并行数据。FSYNC 脉冲信号表示新一帧数据的开始，LREF 表示数据行同步信号，PixCLK 表示输出数据时钟。图 1-8 是 DVP 时序示意图。

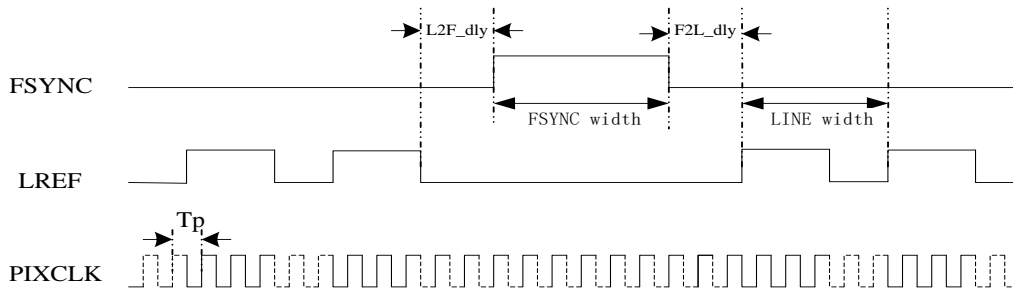


图 1-8 DVP 时序

表 1-7 DVP 同步调整寄存器

地址	寄存器名	默认值	读/写	描述
16'h3d01	DVP_FSYNC_WIDTH	8'h01	RW	FSYNC length, line count
16'h3d08	DVP_POL_CTRL	8'h01	RW	Bit[2]: LREF polarity Bit[1]: FSYNC polarity Bit[0]: PCLK polarity
16'h3640	PAD_DRIVER_CAP	8'h00	RW	Bit[2:0]:adjust PAD driver capability
16'h3641	PCLK DLY	8'h00	RW	Bit[1:0]: PCLK DLY 2ns/step

注:

- 通常情况下，L2F_dly 表示最后的 LREF 下降沿至 FSYNC 上升沿间时延；F2L_dly 表示 FSYNC 下降沿至第一条 LREF 上升沿间时延；FSYNC 宽度默认值为一行宽度。
- 以上各参量均可通过寄存器来修改。

1.6.2. MIPI

SC130GS 提供串行视频端口（MIPI）。图 1-9 是 MIPI 数据接口示意图，其中 Sensor 支持 1-4 个 lane 来传输图像 8/10bit 数据。

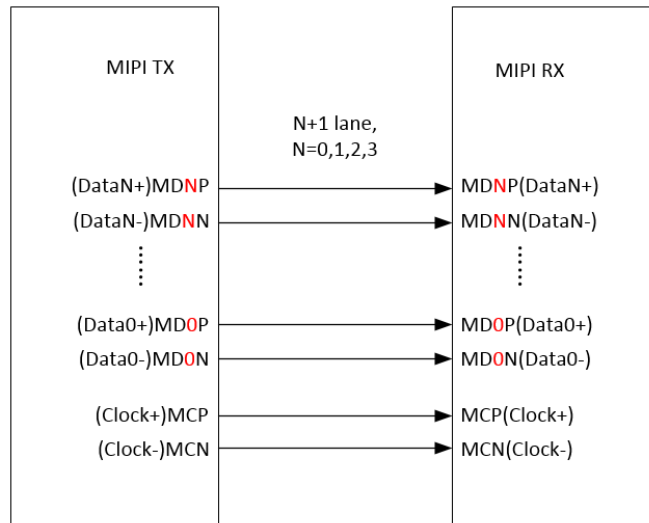


图 1-9 MIPI 接口示意图

图 1-10 是 MIPI 底层数据包的简略示意图，其中分别展示了一个短数据包和长数据包的传输过程。

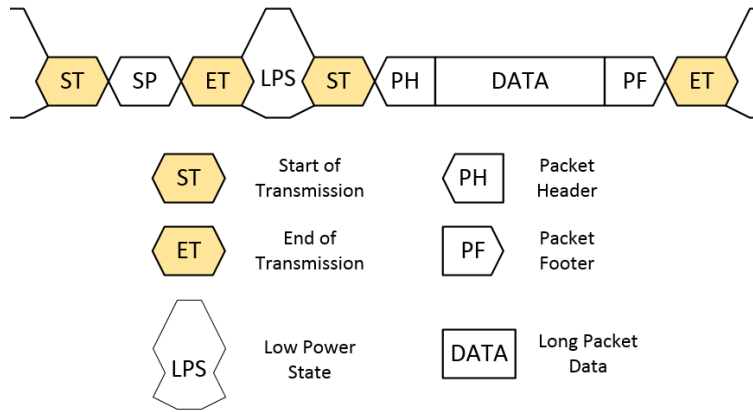


图 1-10 MIPI 底层数据包示意图

图 1-11 展示了 MIPI 长、短数据包结构示意图。其中数据标识 DI(Data Identifier)用来区分不同的数据包类型。图 1-12 中，DI 包括两部分，分别是虚拟通道 (VC) 和数据类型 (DT)。默认情况下，Sensor 给出的 MIPI 数据 VC 值都是 0，而 DT 值如表 1-8 MIPI 数据类型所示。

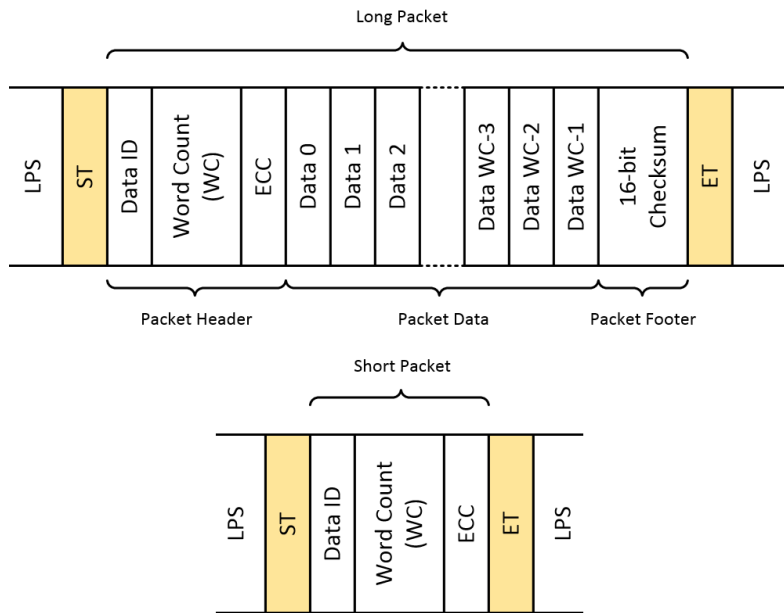


图 1-11 MIPI 长/短数据包结构示意图

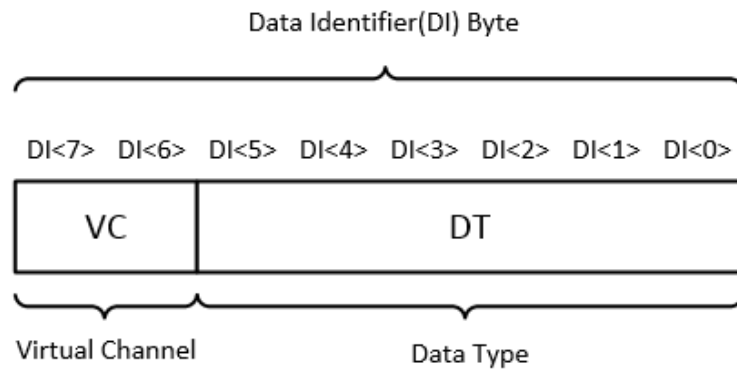


图 1-12 MIPI 数据包 DI 结构

表 1-8 MIPI 数据类型

DT	描述
0x00	帧起始短包
0x01	帧结束短包
0x02	行起始短包
0x03	行结束短包
0x2a	8-bit 模式下数据长包
0x2b	10-bit 模式下数据长包

表 1-9 MIPI 同步调整寄存器

功能	寄存器名	描述
MIPI pad 引脚输出(高位)	16'h3000	BIT[3:0]: pad_ctrl[11:8] 4'hf:DVP pad 引脚输出 4'h0:MIPI pad 引脚输出
MIPI pad 引脚输出(低位)	16'h3001	BIT[7:0]: pad_ctrl[7:0] 8'hff:DVP pad 引脚输出 8'h00:MIPI pad 引脚输出
MIPI lane 数量	16'h3018	Bit[7:5]: mipi lane num-1 3'h0~ 1 lane mode 3'h1~ 2 lane mode 3'h2~ 3 lane mode 3'h3~ 4 lane mode
MIPI 输出数据模式	16'h3031	Bit[3:0]: mipi bit mode 4'h8~ raw8 mode 4'ha~ raw10 mode
MIPI clock 设置	16'h303f	Bit[7]: pclk sel 1'b0~ sel pll_pclk
MIPI 模式下 FIFO 设置	16'h3c00	Bit[2]: fifo mode 1'b0~ fifo data for mipi
MIPI Lane 2&3 延时	16'h3652	Bit[7]: lane2 相位反向, 默认 0 Bit[6:4]: lane2 延时, 100ps/step, 默认 3'b100 Bit[3]: lane3 相位反向, 默认 0 Bit[2:0]: lane3 延时, 100ps/step, 默认 3'b100
MIPI Lane 0&1 延时	16'h3653	Bit[7]: lane0 相位反向, 默认 0 Bit[6:4]: lane0 延时, 100ps/step, 默认 3'b100 Bit[3]: lane1 相位反向, 默认 0 Bit[2:0]: lane1 延时, 100ps/step, 默认 3'b100
MIPI Clock 延时	16'h3654	Bit[7:4]: Reserved Bit[3]: 时钟反向, 默认 0 Bit[2:0]: 时钟延时, 100ps/step, 默认 3'b100

1.6.3. LVDS

SC130GS 提供串行视频端口 (LVDS)。其数据接口与 MIPI 数据接口复用，通过寄存器控制选择输出 LVDS 格式数据。支持 1/2/4 个 Data lane 来传输图像 8/10 bit 数据，经 PHY 层转换成串行数据后，最先传输数据 (8/10 bit) 的 LSB 位。此外，还包括 1 条 Sync lane 来传输特定的数据信息(如窗口信息、帧开始/结束信息、行开始/结束信息、CRC 检错码等)，如下图 1-13 所示。

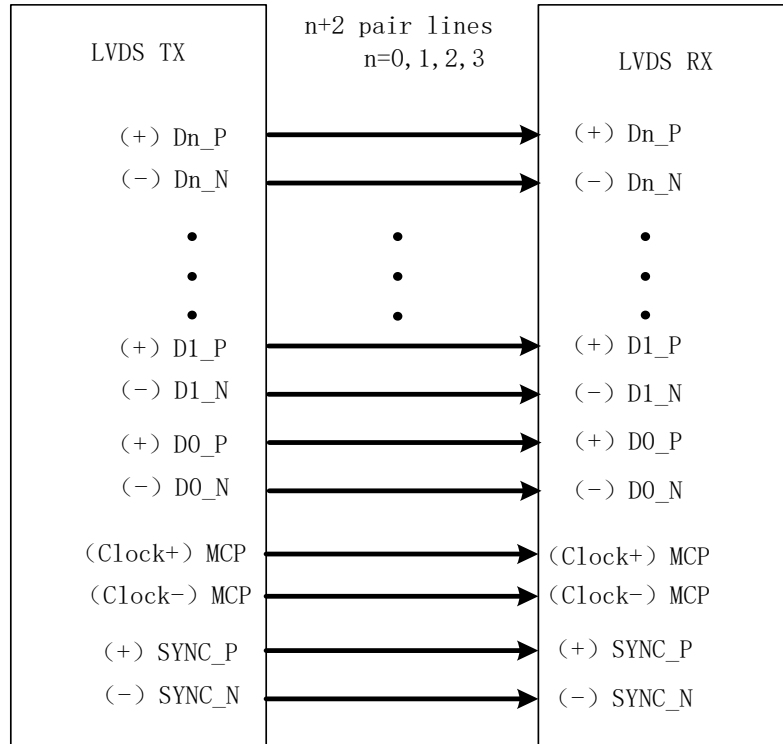


图 1-13 LVDS 接口示意图

LVDS 传输包括三种模式: Mode A、 Mode B 和 Mode C。MODE A 工作模式包括 8bits/10bits 工作模式，利用 data lane 进行帧、场同步解码；MODE B 只包括 12bit 模式，且只支持 1/2 个 lane；MODE C 包括 8bits/10bits 工作模式，利用 sync lane 进行帧、场同步解码。

1) Mode A 模式时，输出数据插入帧同步、输出数据插入帧同步、行同步信号。其数据结构如图 1-14 所示 (以 10bit、1 个 lane 为例)。其中，Internal Sync 编码是数据字节有效同步码，但一般用 h'010 及 h'080 判断字节同步 (双字码同步更精确)；行同步信号。Frame Sav 为帧开始编码；Frame Eav 为帧结束编码；Line Sav 为行开始编码；Line Eav 为行结束编码。相应的编码如下表所示，分别对应 8bit/10bit 情况。需要注意的是，当数据为 10bit 时，默认情况下高八位包含编码信息。当 1/2 个 lane 传输数据时，在 Line Eav 之前，每个 data lane 还包括一个 CRC 校验码；4 个 lane 传输时，在 Line Eav 之前，无 CRC 校验码。

表 1-10 LVDS Mode A 8bit 数据同步信息编码示意图

同步 bit	默认值	描述
7:0	8'hb6	Frame Sav
7:0	8'hab	Frame Eav
7:0	8'h80	Line Sav
7:0	8'h9d	Line Eav

表 1-11 LVDS Mode A 10bit 数据同步信息编码示意图

同步 bit	默认值	描述
9:2	8'hb6	Frame Sav
9:2	8'hab	Frame Eav
9:2	8'h80	Line Sav
9:2	8'h9d	Line Eav

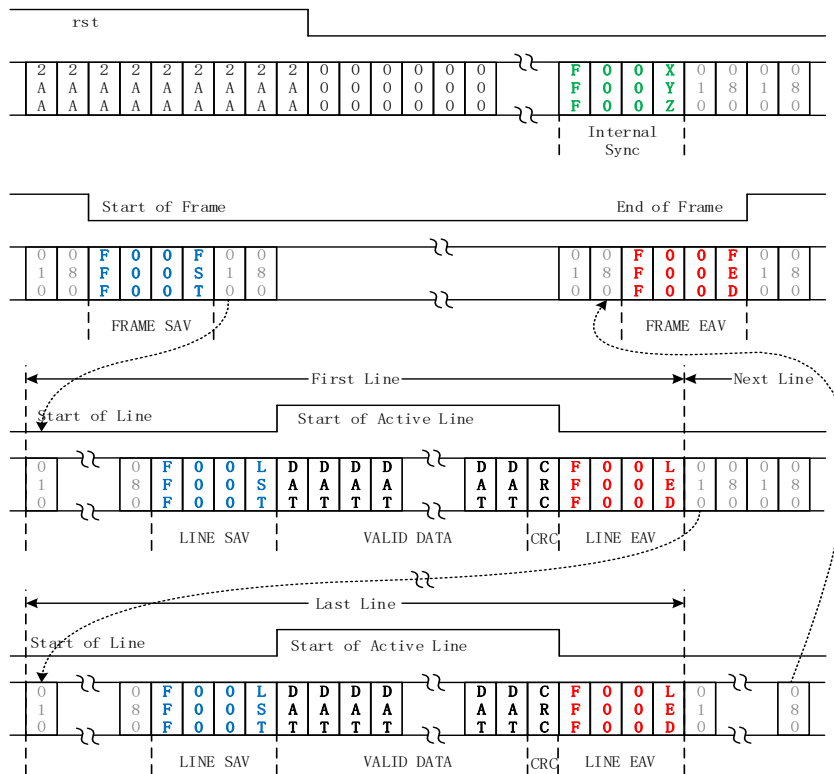


图 1-14 LVDS Mode A 数据结构示意图 (10bit/1 lane 为例)

2) Mode B 模式时，在输出数据的特定 bit 用同步信号替换，必须工作在 12bit 模式下，且只支持 1/2 个 data lane 传输模式，其数据结构如表 1-12 所示。

表 1-12 LVDS Mode B 数据结构示意图

12bits 数据包	描述
Bit[11]	pixel valid
Bit[10]	frame valid
Bit[9]	line valid
Bit[8]	PixelData[11]
Bit[7]	PixelData[10]
Bit[6]	PixelData[9]
Bit[5]	PixelData[8]
Bit[4]	PixelData[7]
Bit[3]	PixelData[6]
Bit[2]	PixelData[5]
Bit[1]	PixelData[4]
Bit[0]	1'b1(sync bit)

3) Mode C 模式时，支持 8bit/10bit 模式，利用 sync lane 进行帧、场同步解码。sync lane 包含特定的数据信息，每行数据以 Line Start (LS) 编码开始，以 Line end (LE) 编码结束，每帧第一行数据以 Frame Start (FS) 编码替代 Line start 编码，每帧最后一行数据以 Frame End (FE) 编码替代 Line end 编码。支持 1/2/4 个 data lane 模式。

2 个 data lane 有效时，一行典型的协议层并行数据包如图 1-15 图 1-15 所示。4 个 data lane 有效时，如图 1-16 所示。

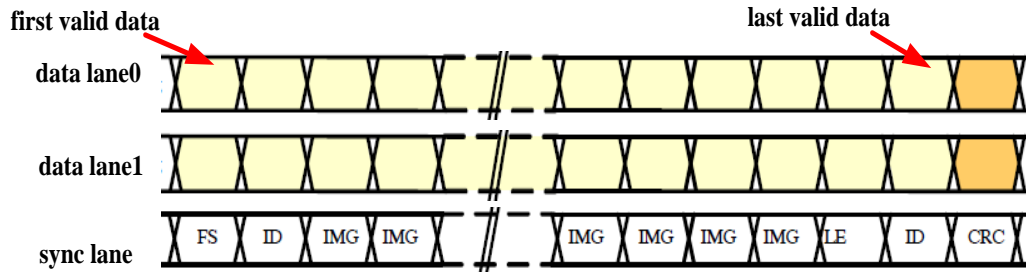


图 1-15 2 个 data lane 有效时并行数据包示意图

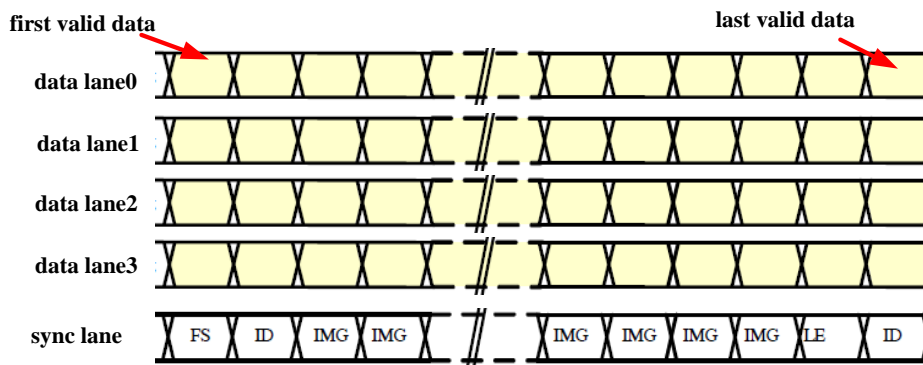


图 1-16 4 个 data lane 有效并行数据包示意图

Data lane 的无效数据对应 Sync lane 上 dummy data (DD) 的编码，可用于数据 Byte 的检测定位同步，具体如图 1-17 所示。需注意的是，4 个 data lane 传输数据模式时，Sync lane 中 ID 编码后无 CRC 校验码，ID 编码后紧接 DD 编码。

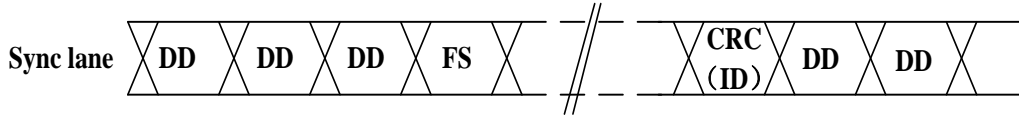


图 1-17 sync lane DD 编码示意图

10bit 模式时，Sync Lane 数据同步信息编码示意如下表 1-13 所示。

表 1-13 LVDS sync lane 10bit 数据同步信息编码示意表

同步 bit	默认值	描述
9:7	0x5	帧开始
9:7	0x6	帧结束
9:7	0x1	行开始
9:7	0x2	行结束

8bit 模式时，Sync Lane 数据同步信息编码示意如下表 1-14 所示。

表 1-14 LVDS sync lane 8bit 数据同步信息编码示意表

同步 bit	默认值	描述
7:5	0x5	帧开始
7:5	0x6	帧结束
7:5	0x1	行开始
7:5	0x2	行结束

dummy data (DD) 的编码信息如表 1-15 所示。

表 1-15 LVDS sync lane dummy data 信息编码示意表

同步 bit	值	描述
9:0	0x1f	10bit 模式
7:0	0x07f	8bit 模式

表 1-16 是 LVDS 调整相关寄存器。更多寄存器描述可参考详细寄存器列表资料。在此仅给出 LVDS 调整相关寄存器，在不同模式时，PLL 也需相应配置提供正确的时钟关系。

表 1-16 LVDS 调整相关寄存器

功能	寄存器地址名	默认值	描述
LVDS pad 引脚输出(高位)	16'h3000	6'h0f	BIT[3:0]: pad_ctrl[11:8] 4'hf:DVP pad 引脚输出 4'h0:LVDS pad 引脚输出
LVDS pad 引脚输出(低位)	16'h3001	8'hff	BIT[7:0]: pad_ctrl[7:0] 8'hff:DVP pad 引脚输出 8'h00:LVDS pad 引脚输出

功能	寄存器地址名	默认值	描述
LVDS/MIPI 功能切换	16'h3022	8'h11	BIT[3]:mipi_lvds_mode 1'b1:LVDS 1'b0:MIPI
LVDS lane 数量	16'h3018	8'h73	BIT[7:5]:lane_num-1 3'h0: 1 lane mode 3'h1: 2 lane mode 3'h3: 4 lane mode
LVDS 输出数据模式	16'h302b	8'h03	BIT[7]:bitset_man_en 1'b1>manual option to choose data output mode BIT[6:5]:bitset_man 2'b0:raw 8 mode 2'b1:raw 10 mode
LVDS CLOCK 设置	16'h303f	8'h81	Bit[7]: pclk sel 1'b0: sel pll_pclk
LVDS mode 设置	16'h4b14	8'h01	Bit[3]:lvds mode a and mode b switch 1'b1:Mode B
LVDS bit 设置	16'h4b00	8'haa	BIT[3]:r_bit_flip_i, 1'b1:MSB and LSB flip every bit
LVDS 通道选择	16'h4b01	8'h10	BIT[1]: r_data_lane_mode 1'b1:choose lane0 and lane1 when 2lane mode 1'b0:choose lane0 and lane2 when 2 lane mode
LVDS Sync lane dummy dat 设置	16'h4b1b	8'hff	Write to 8'h7f when using sync lane
LVDS Lane 2&3 延时	16'h3652	8'h44	Bit[7]: lane2 相位反向 Bit[6:4]: lane2 延时, 100ps/step Bit[3]: lane3 相位反向 Bit[2:0]: lane3 延时, 100ps/step
LVDS Lane 0&1 延时	16'h3653	8'h44	Bit[7]: lane0 相位反向 Bit[6:4]: lane0 延时, 100ps/step Bit[3]: lane1 相位反向 Bit[2:0]: lane1 延时, 100ps/step
LVDS Clock 延时	16'h3654	8'h04	Bit[7:4]: Reserved Bit[3]: 时钟反向 Bit[2:0]: 时钟延时, 100ps/step

1.7. 锁相环

SC130GS 的 PLL 模块允许的输入时钟频率范围为 6~72MHz，其中 VCO 输出频率 (F_{VCO}) 的范围为 100MHz-1200MHz。PLL 结构示意图在图 1-18 所示。

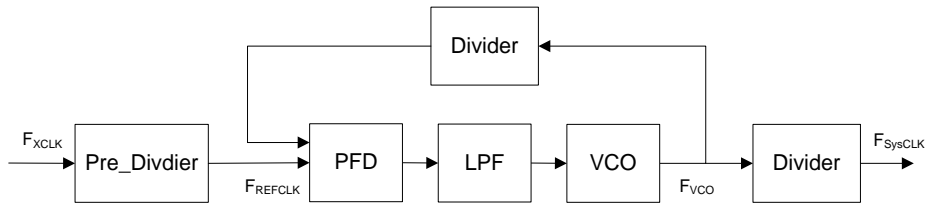


图 1-18 PLL 控制示意图

2. 功能介绍

2.1. 外触发全局曝光模式

外触发全局曝光模式是主控芯片通过 Trigger0 信号触发曝光，以达到多个 sensor 同步曝光及视频数据输出。当 Trigger0 信号发生时，SC130GS 开始曝光，曝光结束后输出视频数据，帧率受外部控制。

当 SC130GS 工作在外触发全局曝光模式时，主控芯片通过 Trigger0 引脚触发曝光。根据曝光时间的控制方法，外触发全局曝光模式分为外部触发全局 Master Mode，外触发全局 Slave Mode。

外触发全局 Master Mode 模式下，曝光时间由寄存器{0x3e01,0x3e02[7:4]}控制具体时序如图 2-1。

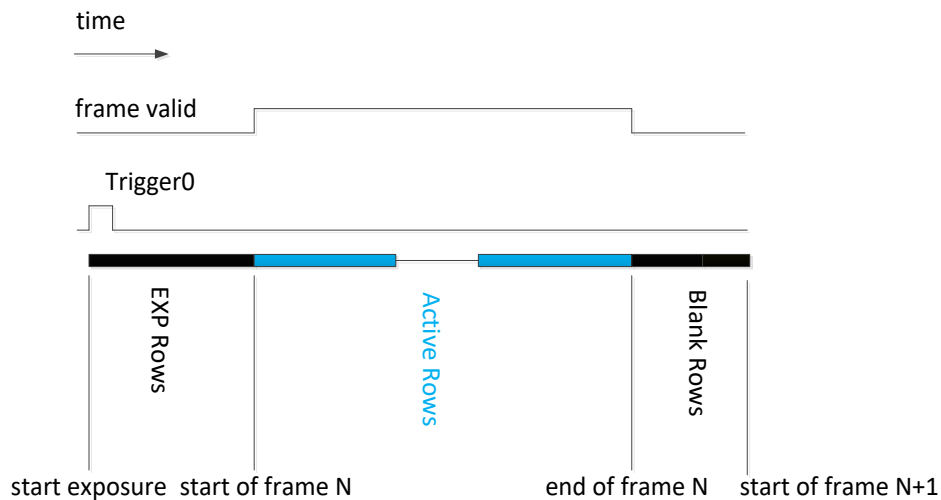


图 2-1 外部触发全局 Master Mode 模式时序图

注：

- 1) EXP Rows = (exposure time + 0x3227)x2，以行为单位
- 2) 当 Trigger0 上升沿发生后，经过 0x3227x2 行，SC130GS 开始曝光
- 3) Start of frame N 表示曝光结束及开始读取图像数据
- 4) Active Rows 时读出芯片图像数据，由寄存器控制，以行为单位
- 5) Blank Rows 时读出芯片图像数据之后的消隐时间，由寄存器控制，以行为单位

外触发全局 Slave Mode 模式下，曝光时间由 Trigger0 控制，当 Trigger0 的上升沿发生时，SC130GS 开始曝光，当 Trigger0 的下降沿发生时，SC130GS 结束曝光，接着开始读出视频数据，具体时序如图 2-2。

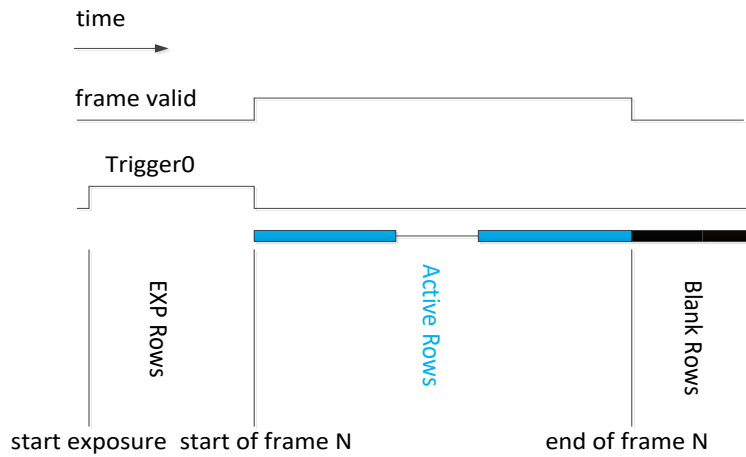


图 2-2 外部触发全局 Slave Mode 模式时序图

注:

- 1) 曝光时间等于 Trigger0 高电平持续时间
- 2) 当 Trigger0 上升沿发生后, SC130GS 开始曝光
- 3) Start of frame N 表示曝光结束及开始读取图像数据
- 4) Active Rows 时读出芯片图像数据, 由寄存器控制, 以行为单位
- 5) Blank Rows 时读出芯片图像数据之后的消隐时间, 由寄存器控制, 以行为单位

表 2-1 外部触发全局曝光控制寄存器

功能	寄存器地址	说明
Trigger mode enable	16'h3234[7]	Trigger mode 使能控制 1~Trigger mode enable 0~Trigger mode disable
Slave mode enable	16'h3234[0]	Slave mode 使能控制 1~slave mode 0~master mode
Active Rows	{16'h3202,16'h3203} {16'h3206,16'h3207}	Active Rows = $(\{16'h\ 3206, 16'h\ 3207\} - \{16'h\ 3202, 16'h\ 3203\} + 1) \times 2$
Blank Rows	{16'h3218,16'h3219}	Blank Rows = $\{0x3218, 0x3219\} \times 2$

2.2. AEC/AGC

AEC/AGC 都是基于亮度进行调节的，AEC 调节曝光时间，AGC 调节增益值，最终使图像亮度落在设定亮度阈值范围内。

2.2.1. AEC/AGC 的控制策略

SC130GS 具有 AEC/AGC 功能，也通过后端平台实现 AEC/AGC。

在整个 AEC/AGC 过程中，不是独立的调整 sensor 的曝光时间或者增益，调整策略为：曝光时间优先，曝光时间已经最长无法继续调整时，调整增益。

以当前图像过暗的情况为例，调整的先后顺序为：①不开启任何增益，直到曝光时间达到上限；②曝光时间达到上限后，再开始调整增益。需要明确指出的是，增益开启，将导致噪声呈倍数放大；而曝光时间加大，则有助于提升信噪比。

反之，当图像过亮时，则优先关闭增益，当所有增益关闭，图像仍旧过亮，才会降低曝光时间。

表 2-2 AEC/AGC 手动/自动切换控制寄存器

功能	寄存器地址	说明	
AEC 手动/自动切换	16'h 3e03[1:0]	Bit[1]:AGC manual	0: auto enable
			1: manual enable
		Bit[0]:AEC manual	0: manual disable
			1: manual enable

2.2.2. AEC/AGC 自动控制方法

SC130GS AEC/AGC 是基于图像的亮度均值调节的，调节的目的是把图像亮度调到设定目标亮度区间，目标亮度区间由 wpt 和 bpt 控制。wpt 表示目标亮度区间高限阈值，bpt 表示目标亮度区间低限阈值。当图像的亮度均值在 wpt 和 bpt 之间时，AEC/AGC 不进行调节。当图像的亮度均值大于 wpt 时，AEC/AGC 模块会降低增益或曝光时间。而当图像的亮度均值小于 bpt 时，AEC 模块将会增加曝光时间或增益。

表 2-3 AEC/AGC 自动控制寄存器

功能	寄存器地址	说明
wpt	16'h350f	目标亮度区间高限阈值
bpt	16'h3510	目标亮度区间低限阈值
wpt2	16'h351b	目标亮度区间高限阈值 2,建议跟 wpt 保持一致
bpt2	16'h351e	目标亮度区间低限阈值 2,建议跟 bpt 保持一致
max_gain	{16'h3518,16'h3519}	最大 gain 值=max_gain/h10

2.2.3. AEC/AGC 手动控制方法

AEC 手动控制寄存器如表 2-4 所示。

表 2-4 AEC 手动控制寄存器

功能	寄存器地址	说明
曝光时间	{16'h 3e01[7:0], 16'h 3e02[7:0]}	手动曝光时间, {16'h3e01[7:0],16'h3e02[7:4]}以两行为单位, 16'h3e02[3:0]以 1/8 行为单位

AEC 控制说明如下：

- 1) 当曝光时间大于等于两行时，AEC 的调节步长为两行曝光时间，两行曝光时间等于行长乘以 TPIXCLK（其中的 TPIXCLK 为 Pixel clock 的一个周期）乘以 2，行长 = 寄存器{16'h320c, 16'h320d} × 2。
- 2) 当曝光时间小于两行时，AEC 的调节步长为 1/8 行曝光时间，1/8 行曝光时间等于行长乘以 TPIXCLK（其中的 TPIXCLK 为 Pixel clock 的一个周期）除以 8，行长

= 寄存器{16'h320c, 16'h320d} × 2

- 3) 曝光时间及增益都是在第一帧（第 N 帧）写入，第三帧（第 N+2 帧）生效。
- 4) 曝光时间上限不能超过当前帧长除以 2 减去 4 行，帧长 = 寄存器 {16'h320e, 16'h320f} × 2，即在同一时刻，写入的 {16'h3e01, 16'h3e02[7:4]} 值最大为 {16'h320e, 16'h320f} - 4。如果曝光时间大于等于帧长，图像真实曝光时间会不等于写入的曝光时间。

增益控制方法有两种，具体说明如下：

- 1) 16'h3e03 设置为 8'h03 时的 Gain mapping：此时真实的 gain 值 = {16'h3e08, 16'h3e09} / 8'h20，gain 值最大不能超过 124。
- 2) 16'h3e03 设置为 8'h0b 此时详细的 Gain mapping 如表 2-5：

表 2-5 增益控制寄存器

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
增益控制	DGain x 1 寄存器值: 0	增益 x 1 寄存器值: 0	0x20	1	1
			0x21	1.03125	1.03125
			0x22	1.0625	1.0625
			0x23	1.09375	1.09375
			0x24	1.125	1.125
			0x25	1.15625	1.15625
			0x26	1.1875	1.1875
			0x27	1.21875	1.21875
			0x28	1.25	1.25
			0x29	1.28125	1.28125
			0x2a	1.3125	1.3125
			0x2b	1.34375	1.34375
			0x2c	1.375	1.375
			0x2d	1.40625	1.40625
			0x2e	1.4375	1.4375
			0x2f	1.46875	1.46875
			0x30	1.5	1.5
			0x31	1.53125	1.53125
0x32	1.5625	1.5625			
0x33	1.59375	1.59375			
0x34	1.625	1.625			
0x35	1.65625	1.65625			

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x36	1.6875	1.6875
			0x37	1.71875	1.71875
			0x38	1.75	1.75
			0x39	1.78125	1.78125
			0x3a	1.8125	1.8125
			0x3b	1.84375	1.84375
			0x3c	1.875	1.875
			0x3d	1.90625	1.90625
			0x3e	1.9375	1.9375
		增益 x 1.95 寄存器值: 1	0x20	1	1.95
			0x21	1.03125	2.01094
			0x22	1.0625	2.07188
			0x23	1.09375	2.13281
			0x24	1.125	2.19375
			0x25	1.15625	2.25469
			0x26	1.1875	2.31563
			0x27	1.21875	2.37656
			0x28	1.25	2.4375
			0x29	1.28125	2.49844
			0x2a	1.3125	2.55938
			0x2b	1.34375	2.62031
			0x2c	1.375	2.68125
			0x2d	1.40625	2.74219
			0x2e	1.4375	2.80313
			0x2f	1.46875	2.86406
			0x30	1.5	2.925
			0x31	1.53125	2.98594
			0x32	1.5625	3.04688
			0x33	1.59375	3.10781
		0x34	1.625	3.16875	
		0x35	1.65625	3.22969	
		0x36	1.6875	3.29063	
		0x37	1.71875	3.35156	
		0x38	1.75	3.4125	
		0x39	1.78125	3.47344	
		0x3a	1.8125	3.53438	

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x3b	1.84375	3.59531
			0x3c	1.875	3.65625
			0x3d	1.90625	3.71719
			0x3e	1.9375	3.77813
		增益 x 3.84 寄存器值: 3	0x20	1	3.84
			0x21	1.03125	3.96
			0x22	1.0625	4.08
			0x23	1.09375	4.2
			0x24	1.125	4.32
			0x25	1.15625	4.44
			0x26	1.1875	4.56
			0x27	1.21875	4.68
			0x28	1.25	4.8
			0x29	1.28125	4.92
			0x2a	1.3125	5.04
			0x2b	1.34375	5.16
			0x2c	1.375	5.28
			0x2d	1.40625	5.4
			0x2e	1.4375	5.52
			0x2f	1.46875	5.64
			0x30	1.5	5.76
			0x31	1.53125	5.88
			0x32	1.5625	6
			0x33	1.59375	6.12
			0x34	1.625	6.24
			0x35	1.65625	6.36
			0x36	1.6875	6.48
			0x37	1.71875	6.6
			0x38	1.75	6.72
			0x39	1.78125	6.84
		0x3a	1.8125	6.96	
		增益 x 7.04 寄存器值: 7	0x20	1	7.04
			0x21	1.03125	7.26
			0x22	1.0625	7.48
0x23	1.09375		7.70		
		0x24	1.125	7.92	

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x25	1.15625	8.14
			0x26	1.1875	8.36
			0x27	1.21875	8.58
			0x28	1.25	8.80
			0x29	1.28125	9.02
			0x2a	1.3125	9.24
			0x2b	1.34375	9.46
			0x2c	1.375	9.68
			0x2d	1.40625	9.90
			0x2e	1.4375	10.12
			0x2f	1.46875	10.34
			0x30	1.5	10.56
			0x31	1.53125	10.78
			0x32	1.5625	11.00
			0x33	1.59375	11.22
			0x34	1.625	11.44
			0x35	1.65625	11.66
			0x36	1.6875	11.88
			0x37	1.71875	12.10
			0x38	1.75	12.32
			0x39	1.78125	12.54
			0x3a	1.8125	12.76
			0x3b	1.84375	12.98
			0x3c	1.875	13.20
			0x3d	1.90625	13.42
			0x3e	1.9375	13.64
			0x3f	1.96875	13.86
	DGain x 2 寄存器值: 1	增益 x 7.04 寄存器值: 7	0x20	1	14.08
			0x21	1.03125	14.52
			0x22	1.0625	14.96
			0x23	1.09375	15.40
			0x24	1.125	15.84
			0x25	1.15625	16.28
			0x26	1.1875	16.72
			0x27	1.21875	17.16
			0x28	1.25	17.60

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x29	1.28125	18.04
			0x2a	1.3125	18.48
			0x2b	1.34375	18.92
			0x2c	1.375	19.36
			0x2d	1.40625	19.80
			0x2e	1.4375	20.24
			0x2f	1.46875	20.68
			0x30	1.5	21.12
			0x31	1.53125	21.56
			0x32	1.5625	22.00
			0x33	1.59375	22.44
			0x34	1.625	22.88
			0x35	1.65625	23.32
			0x36	1.6875	23.76
			0x37	1.71875	24.20
			0x38	1.75	24.64
			0x39	1.78125	25.08
			0x3a	1.8125	25.52
			0x3b	1.84375	25.96
			0x3c	1.875	26.40
			0x3d	1.90625	26.84
			0x3e	1.9375	27.28
			0x3f	1.96875	27.72
			0x20	1	28.16
			0x21	1.03125	29.04
			0x22	1.0625	29.92
			0x23	1.09375	30.80
			0x24	1.125	31.68
			0x25	1.15625	32.56
			0x26	1.1875	33.44
			0x27	1.21875	34.32
			0x28	1.25	35.20
			0x29	1.28125	36.08
			0x2a	1.3125	36.96
			0x2b	1.34375	37.84
			0x2c	1.375	38.72
	DGain X4 寄存器值: 3	增益 X7.04 寄存器值: 7			

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x2d	1.40625	39.60
			0x2e	1.4375	40.48
			0x2f	1.46875	41.36
			0x30	1.5	42.24
			0x31	1.53125	43.12
			0x32	1.5625	44.00
			0x33	1.59375	44.88
			0x34	1.625	45.76
			0x35	1.65625	46.64
			0x36	1.6875	47.52
			0x37	1.71875	48.40
			0x38	1.75	49.28
			0x39	1.78125	50.16
			0x3a	1.8125	51.04
			0x3b	1.84375	51.92
			DGain X8 寄存器值: 7		增益 X7.04 寄存器值: 7
0x21	1.03125	58.08			
0x22	1.0625	59.84			
0x23	1.09375	61.60			
0x24	1.125	63.36			
0x25	1.15625	65.12			
0x26	1.1875	66.88			
0x27	1.21875	68.64			
0x28	1.25	70.40			
0x29	1.28125	72.16			
0x2a	1.3125	73.92			
0x2b	1.34375	75.68			
0x2c	1.375	77.44			
0x2d	1.40625	79.20			
0x2e	1.4375	80.96			
0x2f	1.46875	82.72			
0x30	1.5	84.48			

Item	Digital gain(16'h3e08[7:5])	Coarse gain (16'h3E08) bit[4:2]	Fine gain (16'h3E09) bit[7:0]		Total gain
			寄存器值	增益	
			0x31	1.53125	86.24
			0x32	1.5625	88.00
			0x33	1.59375	89.76
			0x34	1.625	91.52
			0x35	1.65625	93.28
			0x36	1.6875	95.04
			0x37	1.71875	96.80
			0x38	1.75	98.56
			0x39	1.78125	100.32
			0x3a	1.8125	102.08
			0x3b	1.84375	103.84
			0x3c	1.875	105.60
			0x3d	1.90625	107.36
			0x3e	1.9375	109.12
			0x3f	1.96875	110.88

2.2.4. YAVG (图像的亮度均值的统计)

SC130GS 提供两种窗口化亮度均值的统计模式：自动窗口化和子窗口化模式。在自动窗口化（默认）模式下图像的亮度均值统计基于输出窗口。在子窗口化模式（将寄存器 16'h5690[0] 设为 1）下，图像的亮度均值统计基于的窗口尺寸由寄存器 avg_x_start、avg_x_width、avg_y_start 和 avg_y_height 决定。

表 2-6 YAVG 控制寄存器

功能	寄存器名	描述
yavg 窗口化使能	16'h5690	Bit[0]: win_man_en 0~ auto enable 1~ manual enable
avg_x_start	{16'h5680[3:0],16'h5681}	16'h5680[3:0]=avg_x_start[11:8] 16'h5681=avg_x_start[7:0]
avg_x_width	{16'h5684[3:0],16'h5685}	16'h5684[3:0]=avg_x_width[11:8] 16'h5685=avg_x_width[7:0]
avg_y_start	{16'h5682[3:0],16'h5683}	16'h5682[3:0]=avg_y_start[11:8] 16'h5683=avg_y_start[7:0]
avg_y_height	{16'h5686[3:0],16'h5687}	16'h5686[3:0]=avg_y_width[11:8] 16'h5687=avg_y_width[7:0]
yavg	16'h5693	只读寄存器，图像亮度平均值

2.3. 黑电平控制(BLC)

SC130GS 像素阵列包含 8 条黑行，这些黑行可以为补偿消除算法提供数据。数字图像处理首先要减去黑电平数据，BLC 算法可以从黑行数据中估算黑电平的补偿值，而彩色像素的值会减去各自色彩通道的黑电平补偿值。如果在一些特定的像素点，这样的减法得到了负值，那么将结果置 0。

默认情况下，改变增益值后会重新进行 BLC 操作。

黑电平有两种计算模式：手动 BLC 和自动 BLC。在手动模式下，补偿值由寄存器指定；在自动模式下，补偿值通过黑行计算得到。

表 2-7 BLC 控制寄存器

功能	寄存器名	描述
BLC 使能	16'h5001	Bit[0]: blc_enable 0~ bypass BLC 1~ BLC enable
自动 BLC 使能	16'h3902	Bit[6]: blc_auto_en 0~ manual mode 1~ auto mode
BLC 通道选择	{16'h3928[0],16'h3905[6]}	16'h3928[0]: 0~ use 8 channel offset mode 1~ use 4 channel offset mode 16'h3905[6]: one channel enable 0~ use 8 or 4 channel offset 1~ use one channel mode
BLC 目标值	{16'h3907[4:0],16'h3908}	BLC target

2.4. 行噪声消除(RNC)

像素阵列包含 96 条黑色参考列，这些列可以为行噪声消除算法提供数据。RNC 算法可以从黑色参考列数据中估算出行噪声。对于同一行来说，行噪声是相同的；而不同行之间的行噪声互不相同。考虑到色彩滤镜的存在，必须使用两条通道来消除行噪声。如果消除算法（减法）在特定像素得到一个负值，那么将结果置 0。

表 2-8 RNC 控制寄存器

功能	寄存器名	描述
RNC 使能	16'h3400	Bit[0]: RNC enable 0~ bypass RNC 1~ RNC enable
自动 RNC 使能	16'h3400	Bit[1]: rnc_auto_en 0~ manual mode 1~ auto mode
RNC 通道选择	16'h3400	Bit[5]: one channel enable 0~ use 4 channel mode 1~ use 1 channel mode
RNC 目标值	{16'h3415[7:4],16'h3416}	RNC target

2.5. 输出黑电平值控制

当 BLC,RNC 模块都打开，输出黑电平由寄存器 RNC 目标值控制 {16'h3415[7:4],16'h3416}，当 BLC 模块打开，RNC 模块关闭时，输出黑电平值由寄存器 BLC 目标值控制 {16'h3907[3:0],16'h3908}。

2.6. 视频输出模式

2.6.1. 读取顺序

图 2-3 提供了芯片工作的时候，第一个读取的 pixel 位置，以及整个 array 的结构示意图。此图是在 Pin1 脚置于上方的时候得到 (top view)。



图 2-3 像素阵列图一

图 2-4 给出了 first pixel 的数据颜色格式。

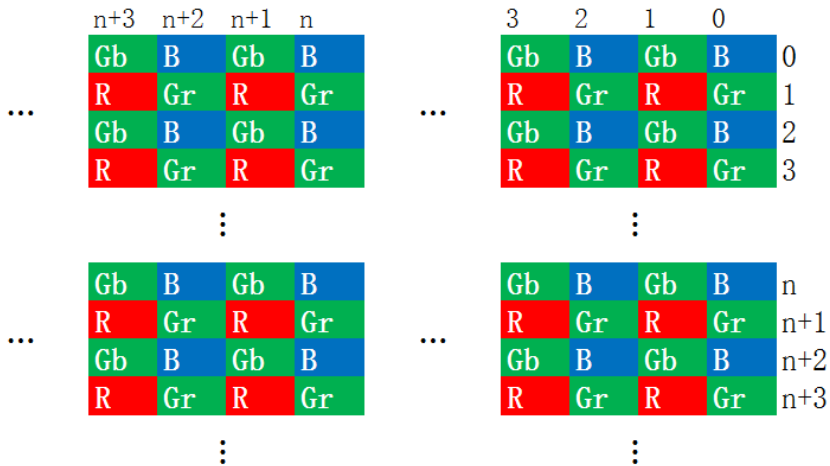


图 2-4 镜像和倒置实例

SC130GS 提供镜像模式和倒置模式。前者会水平颠倒传感器的数据读出顺序；而后者会垂直颠倒传感器的读出顺序。如图 2-5 所示。



图 2-5 镜像和倒置实例

表 2-9 镜像和倒置模式控制寄存器

功能	寄存器地址	寄存器值	描述
镜像模式	16'h 3221[2:1]	2'h3	Bit[2:1]: mirror ctrl 2'b00~mirror off 2'b11~mirror on
倒置模式	16'h 3221[6:5]	2'h3	Bit[6:5]: flip ctrl 2'b00~flip off 2'b11~flip on

2.6.2. 输出窗口

表 2-10 输出窗口寄存器

地址	寄存器名	描述
16'h3208	窗口宽度	Bit[7:0]: 输出窗口宽度高八位
16'h3209	窗口宽度	Bit[7:0]: 输出窗口宽度低八位
16'h320a	窗口高度	Bit[7:0]: 输出窗口高度的高八位
16'h320b	窗口高度	Bit[7:0]: 输出窗口高度的低八位
16'h3210	列起始	Bit[7:0]: 输出窗口列起始位置的高八位
16'h3211	列起始	Bit[7:0]: 输出窗口列起始位置的低八位
16'h3212	行起始	Bit[7:0]: 输出窗口行起始位置的高八位
16'h3213	行起始	Bit[7:0]: 输出窗口行起始位置的低八位

2.7. 帧率计算

2.7.1. 非外触发全局曝光模式

图 2-6 为有效输出示意图，可以按照以下公式来计算图像帧率：帧率 = $FPIXCLK / (\text{行长} \times \text{帧长})$ 。其中 $FPIXCLK$ 指的是 pixel clk 的时钟频率；行长包括图像水平方向上，有效区域宽度以及行消隐区宽度之和，行长 = 寄存器{16'h320c, 16'h320d} × 2；帧长包括图像竖直方向上，有效区域高度以及帧消隐去宽度之和，帧长 = 寄存器{16'h320e, 16'h320f} × 2。



图 2-6 视频有效输出示意图

表 2-11 帧率相关寄存器

地址	寄存器名	描述
16'h320c	行长控制	Bit[7:0]: 行长的 Bit[16:9]
16'h320d	行长控制	Bit[7:0]: 行长的 Bit[8:1]
16'h320e	帧长控制	Bit[7:0]: 帧长的 Bit[16:9]
16'h320f	帧长控制	Bit[7:0]: 帧长的 Bit[8:1]

2.7.2. 外触发全局曝光模式

外触发全局曝光模式下，帧率由外部控制，最大帧率 = $FPIXCLK / (\text{行长} \times \text{帧长})$ ，公式中的帧长等于图 2-3 中的 Active Rows + Blanks Rows。

2.8. 测试模式

为方便测试，SC130GS 提供了两种测试模式：灰度渐变模式和彩条模式，如图 2-7 所示。

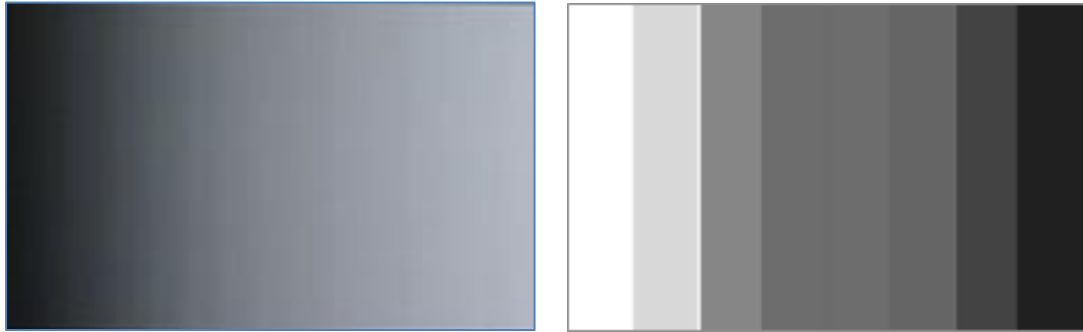


图 2-7 测试模式

表 2-12 测试模式控制寄存器

功能	寄存器地址	寄存器值	描述
灰度渐变模式	16'h4501	8'hc8	Bit[3]: incremental pattern enable 0~ normal image 1~ incremental pattern
	16'h3400	8'h52	Close RNC
	16'h5001	8'h04	Close BLC
彩条模式	16'h5040	8'h80	Bit[7]: color bar enable

3. 电气特性

表 3-1 绝对最大额定值

项目	符号	绝对最大额定值	单位
模拟电源电压	AVDD	-0.3~4.0	V
IO 电源电压	DOVDD	-0.3~4.0	V
数字电源电压	DVDD	-0.3~1.6	V
I/O 输入电压	—	-0.3~DOVDD+0.3	V
I/O 输出电压	—	-0.3~DOVDD+0.3	V
工作温度	—	-40~+85	°C
最佳工作温度	—	-20~+60	°C
贮存温度	—	-50~+120	°C

表 3-2 直流电气特性 (AVDD=3.3V, DOVDD=1.8V MIPI 下测试)

项目	符号	最小值	典型值	最大值	单位
电源					
模拟电源电压	AVDD	3.135	3.300V	3.465	V
IO 供电电压	DOVDD	$V_{DOVDD}-5\%$	1.800	$V_{DOVDD}+5\%$	V
数字电源	DVDD	1.300	1.500	1.575	V
模拟电源电流	I_{AVDD}	—	61.4	—	mA
数字电源电流	I_{DVDD}	—	45.9	—	mA
IO 电源电流	I_{DOVDD}	—	2	—	mA
总功耗(*)	Power	—	340	—	mW
数字输入 (典型条件: AVDD=3.3V, DOVDD=1.8V)					
输入低电平	V_{IL}	—	—	$0.3 \times DOVDD$	V
输入高电平	V_{IH}	$0.7 \times DOVDD$	—	—	V
输入电容	C_{IN}	—	—	10	pF
数字输出 (25pF 标准负载)					
输出高电平	V_{OH}	$0.9 \times DOVDD$	—	—	V
输出低电平	V_{OL}	—	—	$0.1 \times DOVDD$	V
I2C 接口输入 (SCL 和 SDA)					
输入低电平	V_{IL}	-0.5	0	$0.3 \times DOVDD$	V
输入高电平	V_{IH}	$0.7 \times DOVDD$	DOVDD	DOVDD+0.5	V
SPI 接口输入					
输入低电平	V_{IL}	-0.5	0	$0.3 \times DOVDD$	V
输入高电平	V_{IH}	$0.7 \times DOVDD$	DOVDD	DOVDD+0.5	V

注: *该功耗是在使用 MIPI 4 Lane 传输图像, 240fps 的情况下的测试结果。

表 3-3 交流特性 (TA=25°C, AVDD=3.3V, DOVDD=1.8V)

项目	符号	最小值	典型值	最大值	单位
交流参数					
直流微分线性误差	DLE	—	<1	—	LSB
直流积分线性误差	ILE	—	<2	—	LSB
软复位设置时间	—	—	—	1	ms
更改分辨率设置时间	—	—	—	1	ms
配置寄存器设置时间	—	—	—	300	ms
晶振和时钟输入					
输入时钟频率	F _{osc}	6	27	72	MHz
输入时钟上升/下降时间	—	—	—	5	ns

注：封装热阻， $\theta_{ja}=18.4^{\circ}\text{C}/\text{W}$ 。

4. 光学特性

SC130GS 的 CRA 角度设计为 0 度，下面给出 sensor 的光谱曲线。

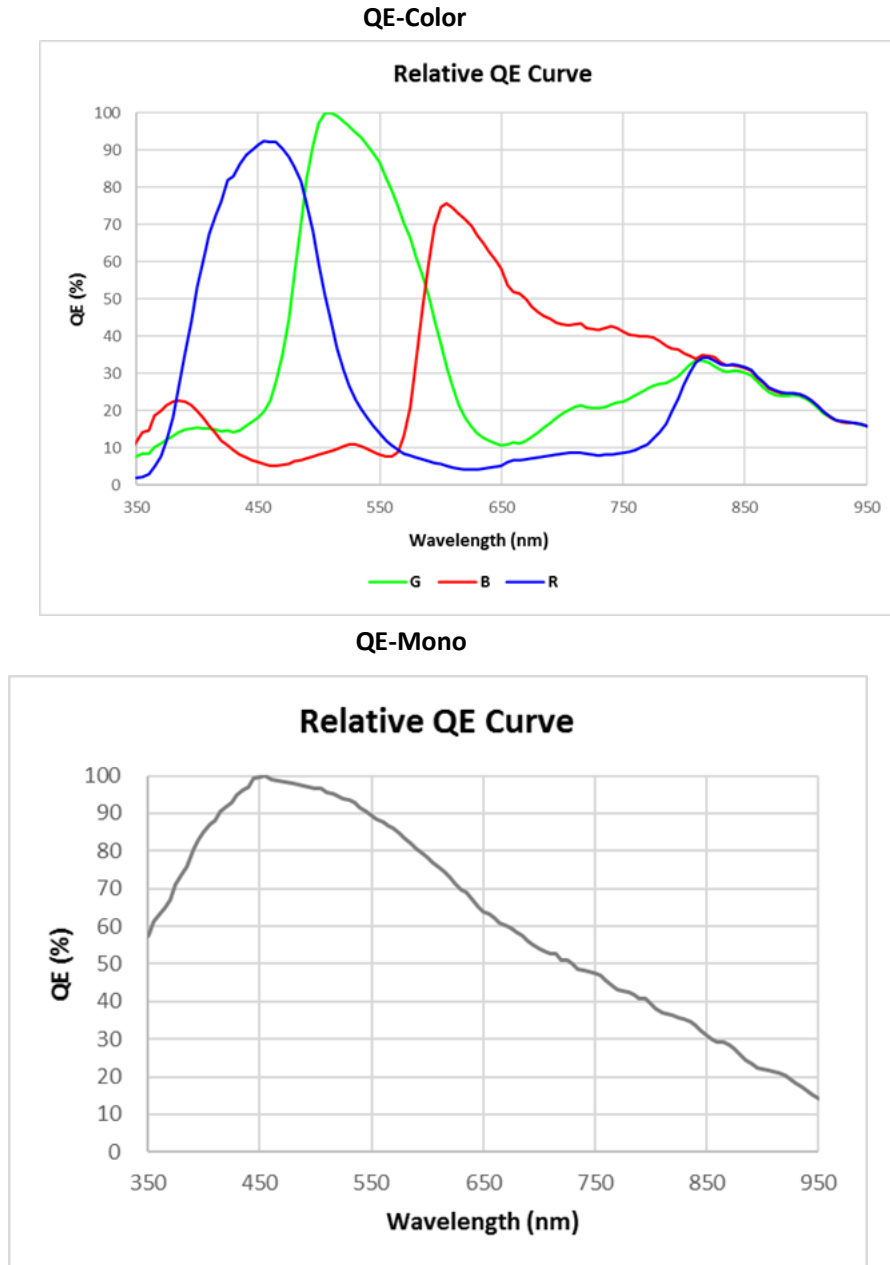


图 4-1 SC130GS 光谱曲线

5. 封装信息

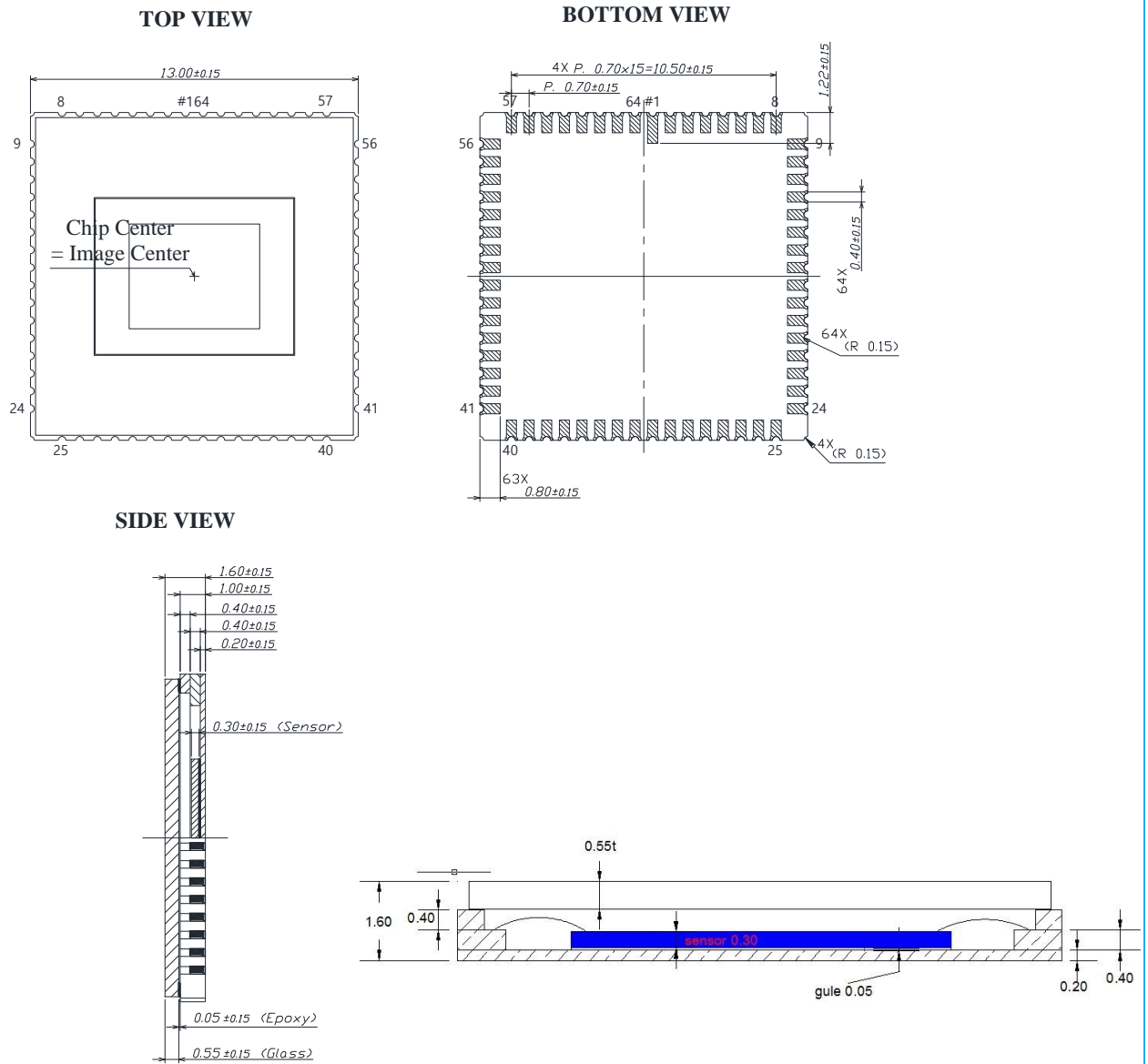


图 5-1 封装示意图(单位 mm)

注：SC130GS 光学中心与封装中心是重合的。

6. 订购信息

表 6-1 订购信息表

产品编号	封装形式	描述
SC130GS-CC1NF00	64-pin CLCC	Color, DVP/MIPI/LVDS output
SC130GS-MC1NF00	64-pin CLCC	MONO, DVP/MIPI/LVDS output

7. 版本变更记录

版本	修改内容以及说明	Owner and date
2.4	<ul style="list-style-type: none">第 4 章光学特性中，SC130GS 的 CRA 角度设计为 5 度改为 SC130GS 的 CRA 角度设计为 0 度更新 QE 曲线图删除 HDR 功能描述（详情见 README）	Vicky Song/2019.7.5
2.5	添加订购信息	Vicky Song/2019.10.23

联系我们：

总部：

地址：上海市徐汇区宜山路 900 号 A 座 1101 室

电话：021-64853570

传真：021-64853572-8004

邮箱：sales@smartsenstech.com

网址：<http://www.smartsenstech.com>

美国分公司：

地址：4340 Stevens Creek Blvd. Suite 280, San Jose, CA 95129

电话：+1 (408) 981-6626

深圳分公司：

地址：深圳市龙岗区坂田街道五和大道南星河 WORLD B 座 2908

电话：0755-23739713

思特威技术支持邮箱：

support@smartsenstech.com